



# Ders Bilgi Formu

Ders Adı	Kodu	Yerel Kredi	AKTS	Ders (saat/hafta)	Uygulama (saat/hafta)	Laboratuvar (saat/hafta)
Programlanabilir Lojik Devre Tasarımı	EHM4830	3	5	3	0	0

Önkoşullar	Yok
------------	-----

Yarıyıl	Güz
---------	-----

Dersin Dili	İngilizce, Türkçe
-------------	-------------------

Dersin Seviyesi	Lisans Seviyesi
-----------------	-----------------

Ders Kategorisi	Uzmanlık/Alan Dersleri
-----------------	------------------------

Dersin Veriliş Şekli	Yüz yüze
----------------------	----------

Dersi Sunan Akademik Birim	Elektronik & Haberleşme Mühendisliği Bölümü
----------------------------	---

Dersin Koordinatörü	Burcu Erkmen
---------------------	--------------

Dersi Veren(ler)	Burcu Erkmen
------------------	--------------

Asistan(lar)ı	Hatice Vildan Düdükü
---------------	----------------------

Dersin Amacı	Donanım tanımlama dili kullanılarak FPGA üzerinde sayısal devre tasarımını öğretmek
--------------	---

Dersin İçeriği	Programlanabilir Lojik Elemanlar (PLD), Programlanabilir Kapı Dizileri (PGA), FPGA Tasarım Akışı ve Mimarileri, Donanım tanımlama dilleri (HDL) hakkında genel bilgi, Davranışsal ve kapı seviyesi tasarım modeli, Benzetim ortamının tanıtımı, Kombinezonsal devre tasarımı ve benzetim örnekleri, Ardışıl devre tasarımı ve benzetim örnekleri, Sayıcılar, Kaydediciler ve Aritmetik Devrelerin HDL ile tasarımı ve simülasyonları, HDL ile Sonlu Durum Makinaları Tasarımı, FPGA (Field Programmable Gate Array) sentezleme ve yerleştirme işlemleri, FPGA I/O birimleri ile uygulama geliştirme, FPGA'in endüstriyel elektronikte kullanımı
----------------	---

Opsiyonel Program Bileşenleri	Yok
-------------------------------	-----

## Ders Öğrenim Çıktıları

1	Öğrenciler lojik devre yapıları hakkındaki bilgisini günceller.
2	Öğrenciler, PLD ve FPGA mimari yapıları hakkında bilgi birikimi kazanır..
3	Öğrenciler, FPGA üzerinde HDL kullanarak sayısal devre tasarlama becerisi kazanır.
4	Öğrenciler, karmaşık sayısal devrelerin tasarımını sistematik biçimde gerçekleştirmeyi öğrenir
5	Öğrenciler kombinasyonel ve ardışıl devrelerin VHDL bazında tasarlama becerisi kazanır

## Haftalık Konular ve İlgili Ön Hazırlık Çalışmaları

Hafta	Konular	Ön Hazırlık
1	Programlanabilir lojik Elemanlar (PLD)	Brown, Bl.2-3
2	Programlanabilir Kapı Dizileri (PGA), FPGA Tasarım Akışı ve mimarileri	Brown, Bl.2-3
3	Donanım Tanımlama Dilleri (HDL) hakkında genel bilgi, Davranışsal ve kapı seviyesi tasarım modeli	Chu, Bl.1-2
4	HDL veri tipleri ve tasarım kuralları	Brown, Bl.2

5	Benzetim ortamının tanıtımı	ISE User Guide
6	Kombinezonsal ve Ardışıl devre tasarımları ve benzetim örnekleri	Brown Bl.6-7
7	Sayıcılar, Kaydediciler ve Aritmetik Devrelerin HDL ile tasarımı ve simülasyonları	Brown, Bl.5-7
8	Ara Sınav 1	Brown, Bl.8
9	FPGA (Field Programmable Gate Array) Geliştirme Kartı Tanıtımı, sentezleme ve yerleştirme işlemleri	
10	Sonlu Durum Makinalarının FPGA üzerinde Implementasyonu	Spartan 3E user guide
11	FPGA I/O birimleri ile uygulama geliştirme	Chu, Bl.7,8,9
12	FPGA'in Endüstriyel Elektronikte uygulaması	Andina Bl.9
13	Proje sunumu	
14	Proje sunumu	
15	Final	

## Değerlendirme Sistemi

Etkinlikler	Sayı	Katkı Payı
Devam/Katılım		
Laboratuvar		
Uygulama		
Arazi Çalışması		
Derse Özgü Staj		
Küçük Sınavlar/Stüdyo Kritiği		
Ödev	2	20
Sunum/Jüri		
Projeler	1	20
Seminer/Workshop		
Ara Sınavlar	1	20
Final	1	40
<b>Dönem İçi Çalışmaların Başarı Notuna Katkısı</b>		60
<b>Final Sınavının Başarı Notuna Katkısı</b>		40
<b>TOPLAM</b>		100

## AKTS İşyükü Tablosu

Etkinlikler	Sayı	Süresi (Saat)	Toplam İşyükü
Ders Saati	13	3	39
Laboratuvar			
Uygulama			
Arazi Çalışması			
Sınıf Dışı Ders Çalışması	13	3	39
Derse Özgü Staj			

Ödev	2	12	24
Küçük Sınavlar/Stüdyo Kritiği			
Projeler	1	15	15
Sunum / Seminer			
Ara Sınavlar (Sınav Süresi + Sınav Hazırlık Süresi)	1	15	15
Final (Sınav Süresi + Sınav Hazırlık Süresi)	1	20	20
<b>Toplam İşyükü</b>			152
<b>Toplam İşyükü / 30(s)</b>			5.07
<b>AKTS Kredisi</b>			5

Diğer Notlar	Yok
--------------	-----