



## Ders Bilgi Formu

Ders Adı	Kodu	Yerel Kredi	AKTS	Ders (saat/hafta)	Uygulama (saat/hafta)	Laboratuvar (saat/hafta)
Sayısal Sistem Tasarımı	MKT4818	3	4	3	0	0

Önkoşullar	Yok
------------	-----

Yarıyıl	Bahar
---------	-------

Dersin Dili	İngilizce, Türkçe
-------------	-------------------

Dersin Seviyesi	Lisans Seviyesi
-----------------	-----------------

Ders Kategorisi	Temel Meslek Dersleri
-----------------	-----------------------

Dersin Veriliş Şekli	Yüz yüze
----------------------	----------

Dersi Sunan Akademik Birim	Mekatronik Mühendisliği Bölümü
----------------------------	--------------------------------

Dersin Koordinatörü	Kadir Erkan
---------------------	-------------

Dersi Veren(ler)	Hüseyin Üvet, Kadir Erkan, Aydın Yeşildirek
------------------	---------------------------------------------

Asistan(lar)ı	
---------------	--

Dersin Amacı	Lojik devre yapılarının ve sayısal sistemlerin Alanda Programlanabilir Kapı Dizileri (FPGA) yongaları üzerinde tasarımı ve gerçekleşmesini öğretmektir.
--------------	---------------------------------------------------------------------------------------------------------------------------------------------------------

Dersin İçeriği	FPGA yongaları ve yapısı, FPGA-tabanlı sistem modelleme teknikleri, FPGA ile sayısal sistem geliştirme ve tasarım aşamaları, FPGA-tabanlı sistemlerin test edilmesi.
----------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------

Opsiyonel Program Bileşenleri	Yok
-------------------------------	-----

### Ders Öğrenim Çıktıları

1	FPGA'ların yapısını anlama
2	Sayısal sistemlerin FPGA ile tasarımı yapabilme
3	VHDL ile FPGA yongalarını programlayabilme
4	FPGA tabanlı sayısal sistemleri simule edebilme
5	FPGA tabanlı sayısal sistemleri test edebilme

### Haftalık Konular ve İlgili Ön Hazırlık Çalışmaları

Hafta	Konular	Ön Hazırlık
1	Lojik devreler tekrar	Unsalan chp 7
2	FPGA yongalarına giriş	Unsalan chp 2-3
3	HDL'e giriş	Unsalan chp 4
4	VHDL tasarım aşamaları ve modellemeler	Unsalan chp 5
5	Veri tipleri ve operatörleri	Unsalan chp 6
6	Kombinasyonel devrelerin tasarımı 1	Unsalan chp 7-8
7	Kombinasyonel devrelerin tasarımı 2	Unsalan chp 7-8
8	Ara Sınav 1	Geçmiş konuların gözden geçirilmesi
9	Veri depolama elemanları	Unsalan chp 9

10	Ardışıl devrelerin tasarımı 1	Unsalan chp 10
11	Ardışıl devrelerin tasarımı 2	Unsalan chp 10
12	Gömülü mikrodenetleyici	Unsalan chp 11
13	Uygulamalar ve problem çözümleri 1	Unsalan chp 12-13
14	Uygulamalar ve problem çözümleri 2	Unsalan chp 12-13
15	Final	Geçmiş konuların gözden geçirilmesi

## Değerlendirme Sistemi

Etkinlikler	Sayı	Katkı Payı
Devam/Katılım		
Laboratuvar		
Uygulama		
Arazi Çalışması		
Derse Özgü Staj		
Küçük Sınavlar/Stüdyo Kritiği		
Ödev	5	30
Sunum/Jüri		
Projeler		
Seminer/Workshop		
Ara Sınavlar	1	30
Final	1	40
<b>Dönem İçi Çalışmaların Başarı Notuna Katkısı</b>		60
<b>Final Sınavının Başarı Notuna Katkısı</b>		40
<b>TOPLAM</b>		100

## AKTS İşyükü Tablosu

Etkinlikler	Sayı	Süresi (Saat)	Toplam İşyükü
Ders Saati	13	3	39
Laboratuvar			
Uygulama			
Arazi Çalışması			
Sınıf Dışı Ders Çalışması	13	4	52
Derse Özgü Staj			
Ödev	5	4	20
Küçük Sınavlar/Stüdyo Kritiği			
Projeler			
Sunum / Seminer			
Ara Sınavlar (Sınav Süresi + Sınav Hazırlık Süresi)	1	15	15
Final (Sınav Süresi + Sınav Hazırlık Süresi)	1	15	15
<b>Toplam İşyükü</b>			141

	<b>Toplam İşyükü / 30(s)</b>	4.70
	<b>AKTS Kredisi</b>	5

Diğer Notlar	Yok
--------------	-----